

English Translation of Japanese Laid-Open Patent No. 64-53460

Publication No. 64-53460

Publication Date: 3/1/1989

Title of Invention: MOS transistor

Application No. 62-209816

Application Date: 8/24/1987

Inventors: Hisao HAYSHI et al.

Applicant: SONY

SPECIFICATION

1. Title of Invention

MOS transistor

2. Claims

A MOS transistor having a pair of opposed gate electrodes with a semiconductor layer interposed therebetween, characterized in that said semiconductor layer is 100 nm or less in thickness, and one of gate insulating layers is thicker than the other.

3. Detailed Description of Invention

[Field of Industrial Use]

The present invention relates to a MOS transistor having a pair of gate electrodes with a semiconductor layer interposed therebetween.

[Summary of Invention]

In the present invention, in a MOS transistor having a pair of gate electrodes with a semiconductor layer interposed therebetween, the thickness of the semiconductor layer is 100 nm or less and one of the gate insulating layers is thicker than the other, thereby, a mobility can be made significantly increased without

changing a gate input capacitance.

[Prior Art]

In the prior art, in general, as a MOS transistor of this type, a both (dual) gate MOS is known, in which a thin film semiconductor layer of about 3000 to 5000 nm is interposed between a pair of opposed gate electrodes.

[Problem to be solved by Invention]

However, the mobility of the conventional MOS transistor of this type is called a surface mobility. As can be seen from the conduction band energy level E_c of the band diagram in Fig. 4, the band is bent, the channel as an electron path is localized and narrowed at the surface, causing a problem that the mobility μ is small due to the scattering of electrons on the free path.

Also, there was a problem that the gate electrode has a large input capacitance as compared with one MOS transistor, decreasing the device characteristics.

The present invention was created in view of these conventional problems and is aimed at obtaining a MOS transistor having a large mobility.

[Means for Solving the Problem]

In the present invention, a MOS transistor having a pair of opposed gate electrodes with a semiconductor layer interposed therebetween has constitutions that the thickness of said semiconductor layer is 100 nm or less and one of the gate insulating layers is thicker than the other.

[Effect]

Since the semiconductor layer is 100 nm or less, due to the mutual action of the pair of gate electrodes, the energy level E_c at the conduction band edge of the semiconductor layer is lowered and the channel is broadened. As a result, the scattering of free electrons on the free path of electrons is reduced and the mobility μ of the electrons is increased. Also, since one of the gate insulating layers is thicker than

the other, the input capacitance of one of the gate electrodes is reduced.

[Embodiment]

Hereafter, the MOS transistor of the present invention will be explained in detail in conduction with the embodiment shown in the figures.

Fig. 1 shows a schematic cross sectional view of the MOS transistor of this embodiment. The reference numeral 1 shows a MOS transistor. In the MOS transistor 1, a second gate electrode 3 made of polycrystalline silicon (Poly-Si) is over a quartz substrate 2. A gate insulating layer 4 made of SiO₂ is formed on an exposed surface of the quartz substrate 2 and the second gate electrode 3. An active layer 5 is formed as an ultra thin film (100 nm or less) on the gate insulating layer 4 over the second gate electrode 3. An N⁺ impurity is added by ion implantation to both side portions of the active layer 5 to form a source region 5A and a drain region 5B.

Further, over the active layer 5, a first gate electrode 7 made of polysilicon is formed via a gate insulating layer 6. Further, in the present invention, the distance between the active layer and the second gate electrode 3 is longer than the distance between the active layer 5 and the first gate electrode 7 so that the work function of the second gate electrode 3 is set small. Also, the second gate electrode 3 has a longer gate length than the first gate electrode 7.

In addition, the numeral 8 of the drawing is an insulating layer of SiO₂ as well as the gate insulating layer 6, and the numerals 9A and 9B are output electrodes formed of aluminum, which are connected to the source region 5A and the drain region 5B, respectively.

As stated above, the thickness of the active layer 5 is made 100 nm or less in this embodiment. Thus, it was confirmed that the mobility μ was significantly increased.

Fig. 2 shows a graph showing a relation between the film thickness of the active layer 5 and the drain current of the MOS transistor of this embodiment. In this graph, A is in the case of using only the first gate electrode 7, B is in the case of using the second gate electrode 3, and C is in the case of using both of the gate electrodes 7

and 3. When the thickness of the active layer 5 is smaller than 100 nm, the drain current of the curve C is larger than the sum of the values of the curves A and B. Namely, the current is larger than the sum of the respective currents flowing through the channel generated in the active layer 5 only by the first gate electrode 7 and flowing through the channel generated only by the second gate electrode 3. This means that the mobility μ is increased due to the interaction of electric fields between both electrodes 7 and 3.

Further, based on the band diagram of Fig. 3, in the MOS transistor of this embodiment, the line expressing the energy level E_c at the conduction band edge is made close to the Fermi level E_F (shown as a broken line) and made flat, and thus, it is shown that the mobility μ and the mutual conductance g_m are increased. Ei of Figs. 3 and 4 shows the center of the forbidden band.

Also, in the above embodiment, the second gate electrode 3 is made more distant from the active layer 5 as compared with the first gate electrode 7, and thus, the input capacitance is comparable with that of the conventional one having a single gate electrode.

Although the embodiment has been described in the above, various design variations are possible. For example, it is possible to increase the mobility μ in the same way as in the above embodiment even if the distance between the first gate electrode 7 and the active layer 5 (the thickness of the gate insulating layer 6) is the same as the distance between the second gate electrode 3 and the active layer 5 (the thickness of the gate insulating layer 4).

In addition, the active layer 5 is made of polysilicon in the above embodiment, it is of course possible to form with a single crystal one.

[Effect of Invention]

As is apparent from the above explanations, in the MOS transistor of the present invention, the thickness of the semiconductor layer interposed between a pair of electrodes is made 100 nm to achieve effects that it is possible to significantly increase the mobility μ and a higher speed is expected in LSI or the like.

Also, the thickness of one of the gate insulating films is made thicker than the

other gate insulating film, whereby, an input capacitance of one side is made small and the mutual conductance gm can be made small.

4. Brief Description of Drawings

Fig. 1 shows a cross section of the MOS transistor of the embodiment of the present invention;

Fig. 2 is a graph showing a relation between the thickness of the active layer and the drain current of the embodiment;

Fig. 3 is a band diagram showing the energy state of the MOS transistor of this embodiment; and

Fig. 4 is a band diagram showing the energy state of the prior art.

1: MOS transistor, 3 and 7: second and first gate electrodes, 5: active layer

⑪ 公開特許公報 (A)

昭64-53460

⑤Int.Cl.¹

H 01 L 29/78

識別記号

301

厅内整理番号

X-8422-5F

⑥公開 昭和64年(1989)3月1日

審査請求 未請求 発明の数 1 (全4頁)

⑦発明の名称 MOSトランジスタ

⑧特 願 昭62-209816

⑨出 願 昭62(1987)8月24日

⑩発明者 林 久雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑩発明者 根岸 三千雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑩発明者 野口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑩発明者 大嶋 健文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑩発明者 林 純司	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑩発明者 前川 敏一	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑩発明者 松下 孟史	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑪出願人 ソニー株式会社	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑫代理人 弁理士 志賀 富士弥	東京都品川区北品川6丁目7番35号	

明細書

1. 発明の名称

MOSトランジスタ

2. 特許請求の範囲

半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、前記半導体層の膜厚を100nm以下であり、且つ一方のゲート絶縁層が他方より厚いことを特徴とするMOSトランジスタ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体層を挟む一対のゲート電極を有するMOSトランジスタに関する。

[発明の概要]

本発明は、半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、前記半導体層の膜厚を100nm以下であり、且つ一方のゲート絶縁層が他方より厚いことにより、

ゲート入力容量を変えずに移動度を著しく増加させ得るようにしたものである。

[従来の技術]

従来、この種のMOSトランジスタとしては、一般に、3000~5000nm程度の薄膜半導体層を一対のゲート電極で挟んで対向するようにした、所謂両面ゲートMOSトランジスタが知られている。

[発明が解決しようとする問題点]

しかしながら、このような従来例のMOSトランジスタの移動度は表面移動度といわれ、第4図のバンド図の伝導帯端エネルギー準位E_cをみるとわかるように、バンドが曲がっており、電子の通り道であるチャネルが表面に極在して狭くなっていて、電子の自由行程における散乱が多いため、移動度が小さいという問題点を有していた。

また、ゲート電極が一つのMOSトランジスタに比べて入力容量が大きくそのため電子特性を悪

化する問題点を有していた。

本発明は、このような従来の問題点に着目して創案されたものであって、移動度の大きいMOSトランジスタを得んとするものである。

[問題点を解決するための手段]

そこで、本発明は、半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、前記半導体層の膜厚を100nm以下であり、且つ一方のゲート絶縁層が他方より厚いことを、その構成としている。

[作用]

半導体層が100nm以下であるため、一対のゲート電極の相互作用により、半導体層の伝導帯端エネルギー準位Ecを下げて、チャネルを広くする。これにより、電子の自由行程における自由電子の散乱を少なくし電子の移動度μを大きくする。また、一方のゲート絶縁層が他方より厚いため、一方のゲート電極側の入力容量を小さくする。

にあっては、活性層5と第1ゲート電極7との距離よりも、活性層5と第2ゲート電極3との距離のほうが長くなっていて、第2ゲート電極3の仕事関数が小さくなるように設定されている。また、第2ゲート電極3のゲート長のほうが第1ゲート電極7のゲート長よりも長くなっている。

なお、図中、8はゲート絶縁層6と同様にSiO₂でなる絶縁層であり、また、9A、9Bはアルミニウムで形成された取り出し電極であり、夫々、ソース領域5A、ドレイン領域5Bに接続されている。

本実施例にあっては、上述したように、活性層5の厚さを100nm以下にしたことにより、移動度μが著しく大きくなることが確認された。

第2図は、本実施例のMOSトランジスタにおける活性層5の膜厚とドレイン電流との関係を示すグラフである。このグラフ中、Aは第1ゲート電極7のみを用いた場合、Bは第2ゲート電極3を用いた場合、Cは両ゲート電極7、3を用いた場合を示したものであり、活性層5の厚さが10

[実施例]

以下、本発明に係るMOSトランジスタの詳細を図面に示す実施例に基づいて説明する。

第1図は本実施例に係るMOSトランジスタの概略断面図であって、符号1はMOSトランジスタを示している。このMOSトランジスタ1においては、石英基板2に多結晶シリコン(Poly-Si)で第2ゲート電極3が形成されている。そして、石英基板2及び第2ゲート電極3の露呈面には、SiO₂から成るゲート絶縁層4が被覆されている。ゲート絶縁層4における、前記第2ゲート電極3上方には、多結晶シリコンで半導体層である活性層5を形成(100nm以下)するようになら構成している。この活性層5の両側部はN+形不純物をイオン注入して、ソース領域5A及びドレイブ領域5Bが形成されている。

さらに、活性層5の上方には、SiO₂でなるゲート絶縁層6を介して、多結晶シリコンでなる第1ゲート電極7を形成している。なお、本発明

0nm以下でCのドレイン電流がAとBの和よりも大きくなっている。即ち、第1ゲート電極7のみにより、活性層5に発生するチャネルと、第2ゲート電極3のみにより発生するチャネルとを夫々流れる電流の和よりも大きい電流が流れてしまい、これは両電極7、3の電界の相互作用によりチャネルの移動度μを増大していることを示している。

また、第3図に示すバンド図に依れば、本実施例に係るMOSトランジスタにおける伝導帯端エネルギー準位Ecを渡す線がフェルミ準位E_F(破線で示す)に近づき曲線が平坦になっており、移動度μ及び相互コンダクタンスg_{mb}を増加させていることを示している。第3図及び第4図におけるDとは、禁制帯の中心を示している。

なお、上記実施例にあっては、第2ゲート電極3を第1ゲート電極7に比較して活性層5からの距離を長くして、入力容量を小さく設定しており、通常のゲート電極が1つものと同程度の入力容量にしている。

以上、実施例について説明したが、この他各種

の設定変更が可能であり、例えば、第1ゲート電極7から活性層5までの距離(ゲート絶縁層6の厚さ)と、第2ゲート電極3から活性層5までの距離までの距離(ゲート絶縁層4の厚さ)とが同じであっても、もちろん上記実施例と同様に移動度 μ を増大することが出来る。

また、上記実施例にあっては、活性層5を多結晶シリコンで形成したが、単結晶のものを形成しても、もちろん良い。

【発明の効果】

以上の説明から明らかなように、本発明に係るMOSトランジスタにあっては、一对のゲート電極に挟まれる半導体層の膜厚を100nm以下にしたことにより、移動度 μ を著しく増大することが可能となり、例えばLSIなどの高速化を図する効果がある。

また、一方のゲート絶縁層の厚さを他方のゲート絶縁層の厚さよりも厚くしたことにより、一方の入力容量を小さくし、かつ相互コンダクタンス

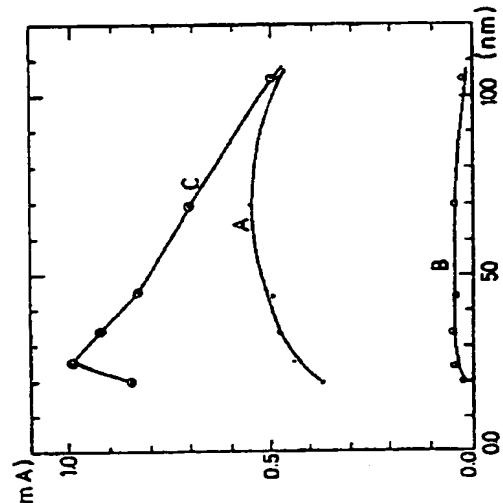
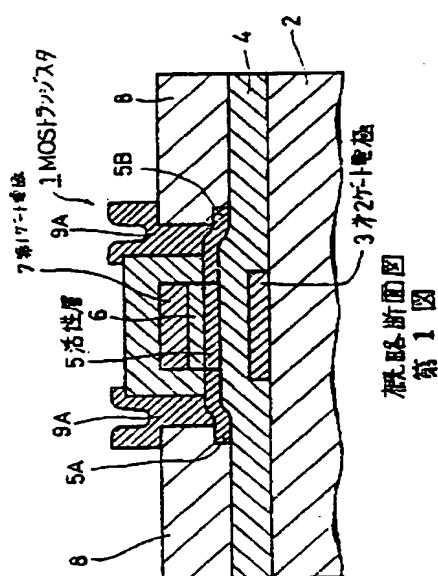
ϵ mを小さくする効果がある。

4. 図面の簡単な説明

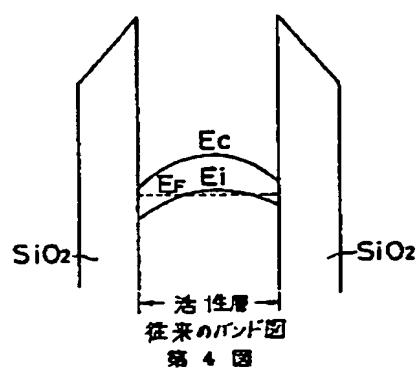
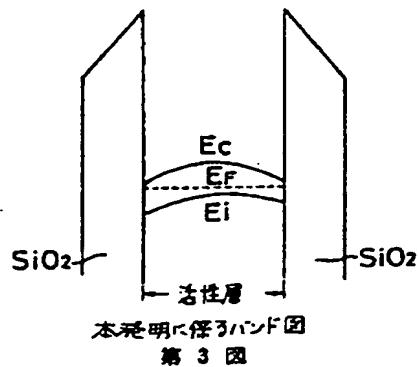
第1図は、本発明に係るMOSトランジスタの実施例を示す断面図、第2図は本実施例における活性層の厚さードレイン電流の関係を示すグラフ、第3図は本実施例のMOSトランジスタのエネルギー状態を示すバンド図、第4図は従来例のエネルギー状態を示すバンド図である。

1…MOSトランジスタ、3、7…第2、第1
ゲート電極、5…活性層。

代理人 志賀富士郎



第2図
活性層の厚さとドレイン電流の関係グラフ



番号照会

全文表示(●テキスト ○PDF)

* * 検索回答[S1] * * ファイル(P) 様式(P005) 2001/04/26 1/ 1
*** 特許出願 昭62-209816[S62. 8. 24] 請求(1) 出願種別 (通常) ***
特開平01- 53460 [H 1. 3. 1] 特公 [] 登録 [] 公報発行日 []

名称 M O S トランジスタ

出願人 13-000218 ソニー (株)

発明者 林 久雄, 根岸 三千雄, 野口 隆, 大島 健文, 林 祐司, 前川 敏一, 松下

孟史

IPC H01L 29/78 , 301
F I H01L 29/78 , 301X H01L 29/78 , 617N

広域 422 (R097)

代理人 志賀 富士弥 (6219) 他(0)

優先権 () [] () [] () [] ()

関連種別 () 原出願番号 () 原登録番号 ()

基準日 (出願日) [昭62. 8. 24] 通知日 [] ()

審査異議有効数 () 請求項の数 (001) 権利譲渡/実施許諾 ()

査定種別 (拒絶査定-02) [平 8. 10. 8] 最終処分 () []

審査種別 (通常審査) () [] () []

審査記録 (A63 願書, 昭62. 8. 24, 14000:)

(A50 誤記訂正, 昭62. 10. 29, :) (A621 審査請求, 平 6. 8. 17, 87000:)

(A131 拒絶理由, 平 8. 5. 21, :) (A523 補正書, 平 8. 7. 23, :)

(A53 意見書, 平 8. 7. 23, :) (A02 拒絶査定, 平 8. 10. 8, :)

全文表示(●テキスト ○PDF)